

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(54) MANUFACTURE OF SEMICONDUCTOR SUPERLATTICE

(11) 5-62911 (A) (43) 12.3.1993 (19) JP

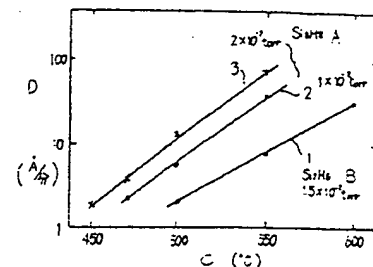
(21) Appl. No. 3-223234 (22) 4.9.1991

(71) FUJITSU LTD (72) KENYA NAKAI

(51) Int. Cl.<sup>5</sup> H01L21/205, H01S3/18

**PURPOSE:** To form a Ge layer and an Si layer or a Ge-Si layer and an Si layer on an Si substrate, and also to put a hetero-epitaxial growth method, in which excellent crystal quality and high growth speed can be obtained, into practical use.

**CONSTITUTION:** The title semiconductor superlattice manufacturing method is the method with which a Ge layer and an Si layer or Ge-Si layer and an Si layer are epitaxially grown on an Si substrate by conducting a depressed CVD method under the atmosphere containing oxidizing impurity gas of 1000ppb or lower using  $\text{GeH}_4$  and trisilane ( $\text{Si}_3\text{H}_8$ ) as raw gas and also using  $\text{H}_2$  or inert gas as carrier gas.



A:  $\text{Si}_3\text{H}_8$  is used. B:  $\text{Si}_3\text{H}_8$  is used,  $1.5 \times 10^{-4}$  Torr. C: growth temperature (°C). D: growth speed (Å/min).

(54) VAPOR GROWTH DEVICE AND CLEANING METHOD THEREOF

(11) 5-62912 (A) (43) 12.3.1993 (19) JP

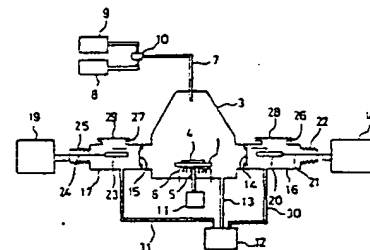
(21) Appl. No. 3-223906 (22) 4.9.1991

(71) TOSHIBA CORP (72) HIROSUKE SATO

(51) Int. Cl.<sup>5</sup> H01L21/205, H01L21/302

**PURPOSE:** To prevent corrosion and the like on the part where the substrate on a substrate holder is placed when the deposit accumulated on the substrate holder is removed.

**CONSTITUTION:** After a semiconductor thin film has been vapor-grown on a substrate 4, the substrate 4 on a substrate holder is housed in the first spare chamber 16 using a substrate receptacle 20. A substrate holder protection plate 23 is placed on the part where the substrate 4 of the substrate holder 1 from the second spare chamber 17, etching gas is allowed to flow into a reaction furnace 3 from an etching gas feeding device 9, and the deposit accumulated in the substrate holder 1 is removed.



(54) DEPOSITION FILM FORMING METHOD

(11) 5-62913 (A) (43) 12.3.1993 (19) JP

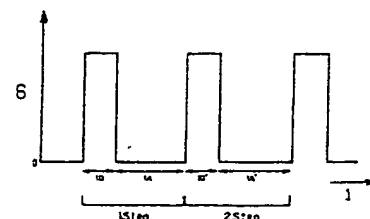
(21) Appl. No. 3-224315 (22) 4.9.1991

(71) CANON INC (72) KAZUAKI OMI

(51) Int. Cl.<sup>5</sup> H01L21/205, C23C16/50, C30B25/00, H01L21/31, H01L31/04, H05H1/46

**PURPOSE:** To form an a-Si or a-Si alloy deposition film, which shows excellent characteristics even at a low substrate temperature, by alternately conducting a process, wherein amorphous silicon is deposited on a substrate at the substrate temperature of 150°C or lower using a CVD method, and another process wherein hydrogen plasma is made to irradiate on the deposited silicon film. alloy deposition

**CONSTITUTION:** An or a-Si alloy deposition layer is formed on a substrate of the temperature of 150°C or lower in such a manner that an a-Si layer is deposited for a fixed time tD, and then repeating a process of irradiation of hydrogen atoms or hydrogen ions, using hydrogen plasma projection, on the a-Si layer for a fixed time tA. Besides, it is necessary that the thickness of the a-Si layer to be deposited for the period of tD should be 10 Å or more. Excessive rearrangement of an Si network can be prevented by the irradiation of hydrogen plasma, and the structure is alleviated in an excellent controllable manner. Accordingly, a-Si of excellent characteristics can be obtained even at the low temperature of 150°C or lower, and a substrate, which can not be used at a high temperature, can be used.



A: time. B: film-forming speed

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 6 2 9 1 3

(43) 公開日 平成 5 年 (1993) 3 月 12 日

(51) Int. Cl. <sup>3</sup>	識別記号	序内整理番号	F I	技術表示箇所
H01L 21/205		7454-4M		
C23C 16/50		7325-4K		
C30B 25/00		9040-4G		
H01L 21/31		C 8518-4M		
31/04				

審査請求 未請求 請求項の数 5 (全 9 頁) 最終頁に続く

(21) 出願番号 特願平 3 - 2 2 4 3 1 5

(22) 出願日 平成 3 年 (1991) 9 月 4 日

(71) 出願人 0 0 0 0 0 1 0 0 7

キヤノン株式会社

東京都大田区下丸子 3 丁目 3 0 番 2 号

(72) 発明者 近江 和明

東京都大田区下丸子 3 丁目 3 0 番 2 号

キヤノン株式会社内

(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 堆積膜の成膜方法

(57) 【要約】

【目的】 低い基体温度で成膜する。

【構成】 150℃以下の基体温度で、CVD法によりアモルファスシリコンを基体上に堆積する工程と、堆積したシリコン膜に水素プラズマを照射する工程とを交互に繰返して成膜する。

## 【特許請求の範囲】

【請求項1】 基体上に水素化アモルファスシリコン又は水素化アモルファスシリコン合金堆積膜を形成する堆積膜の成膜方法において、基体温度を150℃以下に保ちながら、基体上に水素化アモルファスシリコン層又は水素化アモルファスシリコン合金層を堆積する工程と、堆積した水素化アモルファスシリコン層又は水素化アモルファスシリコン合金層に水素原子又は水素イオン照射をする工程とを交互に繰り返しながら堆積を行う事の特徴とする水素化アモルファスシリコン堆積膜又は水素化アモルファスシリコン合金堆積膜の成膜方法。

【請求項2】 基体上に水素化アモルファスシリコン又は水素化アモルファスシリコン合金堆積膜を形成する堆積膜の成膜方法において、基体温度を150℃以下に保つと共に水素原子又は水素イオンで連続的に照射しながら、基体上に断続的に水素化アモルファスシリコン層又は水素化アモルファスシリコン合金層を堆積する工程を有することを特徴とする水素化アモルファスシリコン堆積膜又は水素化アモルファスシリコン合金堆積膜の成膜方法。

【請求項3】 水素化アモルファスシリコン層又は水素化アモルファスシリコン合金層を堆積する各工程での堆積層厚が100Å以上である請求項2又は3記載の成膜方法。

【請求項4】 水素原子又は水素イオン照射をする工程に水素プラズマ照射を用いる請求項1乃至3いずれか記載の成膜方法。

【請求項5】 少なくとも水素イオン照射をする工程において基体側にバイアスを印加する請求項1乃至4いずれか記載の成膜方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は水素化アモルファスシリコン、又はその合金を用いたデバイス等の製造に有用な堆積膜の成膜方法に関する。

【0002】

【従来の技術】 従来アモルファスシリコン（以下a-Siと略記）デバイスを構成するa-Si層の製造方法としては、SiH<sub>4</sub>、又はSiH<sub>3</sub>H<sub>2</sub>を成膜ガスとするRFプラズマCVD法（いわゆるGD法）や、マイクロ波プラズマCVD法、あるいは水素ガス存在下でArプラズマ中でターゲットにSiを用いる反応性スパッタリング法などが用いられて来た。この他にも、光CVD法、ERCRCVD法、水素原子存在下でのSiの真空蒸着法、などが提案されており、SiH<sub>3</sub>H<sub>2</sub>などによる熱CVD法での成膜例もある。これらの方法により得られるa-Si膜は、ほとんどの場合水素を10%、又はそれ以上含む、いわゆる水素化a-Siであり、一般にa-Siデバイスに利用出来る電子材料としての特性を示すものはすべて10%、又はそれ以上の水素を含む。この様な

a-Siの製造方法として最も普及しているのはプラズマCVD法で、多くの場合SiH<sub>4</sub>、又はSiH<sub>3</sub>H<sub>2</sub>、ガスをを用い、必要に応じて水素ガスで希釈して13.56MHz、又は2.54GHzの高周波でプラズマを発生させ、このプラズマにより成膜ガスを分解させて反応性のある活性種をつくり、これにより基板上にa-Si膜を堆積させている。この場合成膜ガス中にPH<sub>3</sub>、B<sub>2</sub>H<sub>6</sub>、BF<sub>3</sub>などのドーピングガスを混ぜれば、n型又はp型のa-Si膜が形成されるので、これを利用して様々なa-Siデバイスが作られて来た。a-Siの場合には単結晶Siと違って、200℃程度の低温基板やガラス基板の上にも成膜出来、大面積化も容易なだけでなく、光吸収が結晶Siよりも強い事、特性が等方的で方向性を持たない事、多結晶Siの様な結晶粒界がない事などのため、結晶Siとは異なる利用分野が開けた。さらにアモルファス相の中に微結晶相を含むものも含めてプラズマCVD法でつくる事が出来るため、必要に応じて微結晶相の割合を選択して様々な利用されて来た。主なa-Siデバイスとしては、太陽電池、ラインセンサーやエリアセンサーなどのイメージセンサー、液晶ディスプレイ駆動や光センサーのスイッチングに使われるTFT又はTFTアレイ、あるいはマトリックス、電子写真感光体などが上げられる。これらの実用的なa-Siデバイスは、結晶Siに比べて低温で作成出来る長所がある。通常a-Si成膜を行なう際は基体の温度を200～350℃程度に保つことが必要であり、より好ましくは250～300℃前後であった。

【0003】そして、上記のa-Siの製造においては、常に成膜プロセスの条件、特に基体の温度が膜質に重大な影響を与える事が良く知られている。

【0004】例えば、RFプラズマCVDではSiH<sub>4</sub>、SiH<sub>3</sub>H<sub>2</sub>などのシラン誘導体ガスを原料とし、

0.01～1 Torrのオーダーの圧力下で、13.56MHz程度の高周波を用いてグロー放電を起こし、前記ガスを分解して堆積させる方法が良く知られている。原料ガスはH<sub>2</sub>やArその他のガスで希釈して供給しても良い。基体としてはガラスや金属、Siなどの半導体などが一般的に使われる。基体温度を変化させると堆積したa-Si膜の特性は大きく変化する。一例として図3に基体温度を変化させて堆積したa-Siの光電流値の変化を示した。200℃以下の基体温度領域において、光電流値が低下し、特性が悪くなっている事がわかる。このような傾向は反応性スパッタにより堆積した膜でも見られ、基体温度を下げて良質のa-Siデバイスを作成する上で大きな障害になっている。良好なデバイス特性のa-Siを得るためには、結晶Siのエピタキシャル成長やポリクリスタルSiの成膜を行なう温度よりも低温であるものの通常a-Siの成膜に際しては200℃程度以上に基体温度を保つことが必要である。

【0005】従来は（1）基体の加熱に時間を要する、

(2) 高温に加熱出来ない基体材料は使用出来ない、

(3) 大面積基体の場合、温度の均一性を得るために様々な工夫を要するなどの問題があった。

【0006】このため化学的には安定で、機械的にも強じん、また透明性も良く、更にガラス等のように落しても割れないポリカーボネート樹脂やポリエステル樹脂、その他の有機高分子を基体材料に用いるのは困難であった。例えばポリカーボネート樹脂の場合は、そのガラス転移温度は分子量に依存するものの、入手容易な分子量においては通常100～150℃以上の温度でその表面にa-Siを成膜する事は困難である。

【0007】

【発明が解決しようとする課題】本発明は上記問題を解決するためになされたもので、その目的とするところは有機高分子基体上に成膜可能な、低基体温度でも従来より格段に良好な特性を示すa-Si又はa-Si合金堆積膜を形成することのできる成膜方法を提供する事にある。

【0008】

【課題を解決するための手段】上記目的を達成するために本発明は、基体上に水素化アモルファスシリコン又は水素化アモルファスシリコン合金堆積膜を形成する堆積膜の成膜方法において、基体温度を150℃以下に保ちながら、基体上に水素化アモルファスシリコン層又は水素化アモルファスシリコン合金層を堆積する工程と、堆積した水素化アモルファスシリコン層又は水素化アモルファスシリコン合金層に水素原子又は水素イオン照射をする工程とを交互に繰り返しながら堆積を行うもので、また基体上に水素化アモルファスシリコン又は水素化アモルファスシリコン合金堆積膜を形成する堆積膜の成膜方法において、基体温度を150℃以下に保つと共に水素原子又は水素イオンで連続的に照射しながら、基体上に断続的に水素化アモルファスシリコン層又は水素化ア

$$〔式1〕 \quad L = v \cdot t, \quad n$$

$$〔式2〕 \quad t: (t_1 + t_2) \cdot n$$

従って平均的な堆積速度Vは、

$$〔式3〕 \quad V = L/t = v \cdot t_1 / (t_1 + t_2) \quad (3)$$

となる。実際に成膜すると、LとVは上式の値に一致するか、又は若干小さい値になる。

【0018】各ステップの $t_1$ 、 $v_1$ 、 $t_2$ は、上記の最も単純な例に限定されない。各ステップごとに $t_1$ 、 $v_1$ 、 $t_2$ を変化させて $t_1$ 、 $v_1$ 、 $t_2$ としてもさしつかえない。

【0019】さらに $v_1$ は一定値でなく、時間の関数であっても良い。

【0020】少なくとも $t_1$ の期間は、堆積膜表面は水素プラズマ照射を受ける。この間に何が起きているかは必ずしも明らかではないが、水素プラズマ中のH原子が堆積層の中へある程度拡散し、過剰のH原子の引き抜きやSiネットワークの組換え(構造緩和)が起きている

モルファスシリコン合金層を堆積するものである。

【0009】更に本発明は水素化アモルファスシリコン層又は水素化アモルファスシリコン合金層を堆積する各工程での堆積層厚が10オングストローム以上であること、水素原子又は水素イオン照射をする工程に水素プラズマ照射を用いること、少なくとも水素イオン照射をする工程において基体側にバイアスを印加することを含む。

【0010】以下、本発明を詳細に説明する。

【0011】本発明においては基体上に水素化アモルファスシリコン又は水素化アモルファスシリコン合金堆積膜を形成するものである。

【0012】基体としては通常用いられる無機材料や有機材料が利用できる。

【0013】本発明においてはこれらの基体を用いて、基体温度を150℃以下に保った状態でa-Si又はa-Si合金の堆積膜を形成するものである。

【0014】本発明でa-Si膜を堆積する手順は、その一例を図1に示す様に、一定時間 $t_1$ の間a-Si層の堆積を行なった後この堆積したa-Si層に対して別の一定時間 $t_2$ だけ水素プラズマ照射などにより水素原子または水素イオンを照射するという一組のステップを繰返す事である。

【0015】また、他の例としては水素原子又は水素イオン照射をしながら一定時間 $t_1$ の間にa-Si層の堆積を行なった後、この堆積したa-Si層に対して更に連続して別の一定時間 $t_2$ だけ水素原子又は水素イオン照射をするという一組のステップを繰返す事である。

【0016】この場合、例えば $t_1$ の間の堆積速度を $v_1$ 、とすると各ステップを $n$ 回繰り返した後の堆積膜厚 $L$ とこれに要する堆積時間 $t$ は理論的には次の様になる。

【0017】

$$(1)$$

$$(2)$$

と考えられる。 $t_1$ の期間に堆積するa-Siの層厚 $l (=v_1 \cdot t_1)$ は2原子層程度以上必要で、實際上10Å以上必要である。

【0021】もし、新しく堆積した層が1原子層程度しかない、アモルファス構造を安定に保つ事が出来ず、水素プラズマ照射により限りなく結晶化して行き、その程度を制御する事が極めて困難になる。この原因としては1ステップ前の水素プラズマ照射により出来たa-Si表面のH原子の層が、次のステップで表面に堆積するSi原子の表面拡散を促進し、さらにこのステップでのSi層の層厚が薄すぎて3次元的なネットワークをほとんど組めないために次の水素プラズマ照射の時にアモルファスのSiネットワーク(2次元的)を保てず、結晶

化してしまうというプロセスが考えられる。水素プラズマ照射による過度のSiネットワークの組換えを防ぎ、制御性良く構造緩和させるためには10Å以上のa-Si層の堆積が必要である。t<sub>1</sub>の期間に堆積するa-Si層は部分的に微結晶シリコン(μc-Si)を含んでいても良いが、t<sub>1</sub>の期間の堆積層厚が10Å以上あればμc-Siを含む構造を保存したまま構造緩和していくと考えられ、實際上、制御不能な過度の結晶化を防ぐ事が出来る。10Å以上の層厚があって初めて、水素プラズマ照射を充分に行なっても制御不能な結晶化が起らず、望みの程度に微結晶を含んだアモルファス構造のまま構造緩和する。

【0022】各ステップでのa-Si層の層厚が100Åを越えると水素プラズマ照射をいくら行なっても構造緩和が進まなくなる。このような構造緩和の程度は膜中の水素濃度の減少及びラマンスペクトルの480cm<sup>-1</sup>のピーク半値幅の減少により確かめる事が出来る。従ってt<sub>1</sub>の期間に堆積する層厚は100Å以下、望ましくは50Å以下である。水素プラズマ照射中に基体に負バイアスを印加するとこの層厚を1.5~2倍増加させる事が出来る。バイアス印加は外部からの電圧印加でも、基体をアースから浮かせる事によりプラズマによる自己バイアスを利用して良い。

【0023】平均の成膜速度V<sub>a</sub>は第(3)式からわかる様にt<sub>1</sub>、v<sub>1</sub>すなわち各ステップでの堆積層厚に依存する。t<sub>1</sub>、v<sub>1</sub>が10~50Åのときに特に良質の膜質が得られ、膜質の温度依存性が小さいとすると膜特性を劣化させずにV<sub>a</sub>を大きくするには困難がある。t<sub>1</sub>の期間の堆積層厚を、膜質を低下させずに大きくする事は、少なくとも水素プラズマ照射時に基板側に負バイアスを印加する事により達成される。負バイアスは、基体をアースから浮かせてプラズマの自己バイアスにより印加しても良い。

【0024】図5は、基板に-75Vを印加した場合のl(=v<sub>1</sub>・t<sub>1</sub>)と膜中水素濃度との関係を示すものであるが、バイアスを印加する事によりlが大きい領域まで水素プラズマ照射の効果が現われている。デバイスの生産性を向上させるためにはバイアス印加は極めて有効である。

【0025】水素原子、又は水素イオン照射の方法としては種々のものがあるが、一般的には水素プラズマ照射が容易な方法である。水素プラズマ照射で重要な事は原子状水素又は水素イオンをa-Siの堆積表面へ送る事であり、必ずしもプラズマ発光部がa-Si表面に触れる必要はない。水素プラズマ照射の最も単純な方法は、容量結合又は誘導結合方式により100mTorr付近の水素ガス圧力下で高周波グロー放電を行なう方法である。13.56MHzでのRFグロー放電はa-Siの成膜そのものにも良く使われる方法である。基体上に堆積したa-Si膜を、基体ごと水素ガスのグロー放電プ

ラズマ中に置くか、プラズマの近傍に置く事により水素原子をa-Si膜に供給する事が可能となる。その他、マイクロ波プラズマにより水素プラズマを発生させてa-Siの表面へ拡散させる方法や、ECRプラズマにより磁場を利用してa-Si表面へ水素プラズマ照射する方法も使用可能である。また加熱したWやPdのノズルからH<sub>2</sub>ガスを吹き出す方法も採用できる。a-Si層を堆積する方法として、プラズマCVD法を用いる場合には、水素プラズマも同一の方法で発生させる事により、極めて容易にa-Si層の堆積と水素プラズマ照射を行なう事が可能となる。すなわち、水素プラズマ照射の工程だけでなくa-Si層を堆積する工程においても水素ガスを流し、a-Si堆積の際の成膜ガスであるSiH<sub>4</sub>やSiH<sub>2</sub>H<sub>2</sub>のみの流れをON/OFF制御するだけでa-Si堆積と水素プラズマ照射の両方を容易に切り換える事が可能となる。SiH<sub>4</sub>等の成膜ガスの水素ガスに対する割合を下げ過ぎると水素プラズマ照射時に結晶化が起き易い。成膜ガス濃度は10%以上、出来れば20%以上が望ましい。この場合a-Si層を堆積する工程と水素プラズマ照射をする工程の両方で切れ目なくプラズマを発生させておく事も可能であり、この様にすればプラズマ発生初期の悪い堆積膜の形成を防止する効果がある。成膜ガスの流れのON/OFFによるグロー放電プラズマの不安定性を改善するためにプラズマ中にArガスを混ぜる事は効果的である。

【0026】t<sub>1</sub>の期間にa-Si層を堆積する方法としてはRFグロー放電プラズマによる方法が挙げられている。a-Siの堆積中にSiH<sub>4</sub>などの反応ガスとともにArガスやH<sub>2</sub>ガスを同時に流す事はa-Siの堆積方法として良く行なわれる方法である。この他にも種々の方法が可能である。a-Si成膜の方法として知られている光CVD法やECRプラズマCVD法、あるいはH<sub>2</sub>ガスを含むガスによる反応性スパッター法やArのみを用いる通常のスパッター法も適用可能である。高周波スパッターを用いた場合にはArガスの流量をON/OFF制御する事によりプラズマを継続的に保持したままにa-Siの堆積と水素プラズマ照射を行なう事が出来る。水素プラズマ照射の際若干のArガスが残留する事は放電の安定化のために好都合である。真空蒸着法によってa-Si層の堆積を行なう場合も本発明の方法に従って水素プラズマ照射をする事により良質のa-Si膜が得られる。LP-CVDその他の熱CVDではガスの分解にかなりの高温を要するためa-Si膜の堆積は必ずしも容易ではないが、不可能ではない。

【0027】水素プラズマ照射の際の放電条件は特に限定されないが、放電のための投入パワーが低すぎると十分な水素原子が発生せず、t<sub>1</sub>をかなり永くしないと水素プラズマ照射の効果が現われない。この場合は図2のデータを取る事により確かめる事が出来る。重要な事は水素原子が充分にa-Siの堆積表面に供給される事で

ある。

【0028】本発明の製造方法によって得られたa-Si i デバイスのa-Si i 膜はa-Si i 層の堆積の各ステップにおいて、通常若干の不純物の混入が避けられない。特に、各ステップで堆積するa-Si i の各層の界面は理想的には全く識別不可能であるべきであるが、実際には各層間の界面には薄い酸化層その他が存在する。この層は、TEMその他でかろうじて分析可能なものから、SIMSで膜全体としての不純物濃度が高い事が確認出来るレベルのものまで種々のものがある。また、t<sub>1</sub>の期間での1ステップのa-Si i 層が厚いと水素濃度も多層状に変化する。しかしその分析は困難で、一般的に容易に分析可能とは言えないため、その効果は現時点では確認していない。

【0029】本発明に使用可能な装置としては特に特別なものは必要でなく、通常用いられるプラズマCVD装置などが使用可能である事が、本発明の利点の一つである。図4には、このようなCVD装置の一例を示してある。図中1は基板で、ヒータープレートをかねた電極3に取り付けてある。電極3はアース線5により接地してあると共に電線4を通して送られる電力により加熱される。2は電極である。6はコントローラ、7は高周波電源である。成膜室17は排気管8を介してポンプ9で排気される。導波管19を通してマイクロ波を送り、石英管18内でマイクロ波プラズマを発生させる。14、15は排気ラインである。20、21、22、30、31、32、40、41、42、50、51、52、はそれぞれガスラインで、また60、61、62、70、71、72、80、81、82、90、91、92はそれぞれ原料ガスラインを示している。反応ガスはライン12、バルブ13、ライン13を通り成膜室17に入るものである。

【0030】a-Si i 堆積にプラズマCVDやスパッタ法などの様にガスによる放電プラズマを用いる場合にはガスの精密な制御が必要である。このため、例えば成膜室へのガス供給ラインの他に、ガス供給バルブを閉じた時に供給元でのガスの流れを乱さないために、供給ラインから分れてガス流の不要部分をすてるためのガスラインを持つ事は、及びt<sub>1</sub>におけるガスの安定供給のために効果がある。図4中のライン14はその一例である。この様な方法はMOCVDその他の関連分野で良く知られている。

【0031】本発明の方法はa-Si i デバイスのi層部分だけでなく、p層やn層に適用しても効果がある。

【0032】本発明により、a-Si i を堆積する各工程での堆積層厚を10Å以上とする堆積工程と、プラズマ照射をする工程とを交互に繰返ししながら製造する堆積膜における光電流の基体温度依存性は図2に示すようになる。図2から明らかなように200℃以下の温度領域での特性の低下は本発明により大幅に改善される。低温領

域でのこの様な顕著な効果は本発明により初めて達成出来る。

【0033】

【実施例】実施例1

厚さ1mmの透明なポリカーボネート樹脂基板上に、基板表面温度100℃にてa-Si i の成膜を行なった。最終膜厚は約5000Åであった。用いる装置は図4と基本的に同一の装置である。基板1をヒータープレート3に取り付け、成膜室17を10 Torr台まで減圧にし、基板をアノードをかねたヒータープレート3のヒーターで加熱した。次に、H<sub>2</sub>：ガスライン20、21、22よりH<sub>2</sub>を、Arガスライン30、31、32よりArを成膜室17に流し、導波管19よりマイクロ波を送り、石英管18内でマイクロ波プラズマを発生させ、圧力を50mTorrに合わせて電極3と2の間で13.56MHzの高周波でグロー放電をさせた。そして、SiH<sub>4</sub>：ガスライン60、61、62よりSiH<sub>4</sub>：ガスを流し始め、SiH<sub>4</sub>：廃棄ライン14、15へ流した。ガスの流れが安定しているのを確認した上でa-Si i の成膜に移った。

【0034】バルブ16を切りかえてガスライン13を通じてSiH<sub>4</sub>を成膜室内に流し込み、成膜を行なった。この際、図1の方式に従ってバルブ16を定期的に切りかえ、SiH<sub>4</sub>を断続的に成膜室17内へ送り込んだ。これにより、a-Si i の堆積工程とSiH<sub>4</sub>なしの状態での放電により水素プラズマ照射をする工程とをくり返す事が出来た。a-Si i の一工程の堆積により、30Åのa-Si i を堆積した。水素プラズマ照射の一工程は60secであった。SiH<sub>4</sub>を流した状態での成膜室内圧力は約0.1Torrであった。

【0035】こうして堆積した厚さ約5000Åのa-Si i 膜の光電流を測定した。一方、通常のRFグロー放電により基板温度200℃でガラス基板上に連続して堆積したa-Si i 膜の光電流を測定し、前記光電流と比較したところ、200℃で連続成膜した膜とほぼ同等の光電流が得られた。

【0036】また比較のため、ポリカーボネート基板に基板温度200℃でa-Si i の堆積を行なったところ、基板が変形し、評価不能であった。

【0037】さらにポリカーボネート基板上に100℃で連続成膜したa-Si i 膜の光電流とも比較したところ、100℃で連続成膜した膜と比べて、本発明の膜は約2桁大きな光電流が得られた。

実施例2

実施例1と同様の方法によりn型a-Si i を成膜した。SiH<sub>4</sub>を流す時、同時にガスライン70、71、72を通じてPH<sub>3</sub>を流す事により成膜を行なった。基板温度は100℃、膜厚は5000Åであった。基板をヒータープレート3に取り付け、成膜室17を10 Torr台まで減圧にし、基板を100℃に加熱した。次にH<sub>2</sub>

ガスライン20、21、22よりH<sub>2</sub>を、Arガスライン30、31、32よりArを成膜室17に流し、圧力を50mTorrに合わせた。そして導波管19よりマイクロ波を送り、石英管18内でマイクロ波プラズマを起こした。そしてSiH<sub>4</sub>、ガスライン60、61、62よりSiH<sub>4</sub>、ガスを、PH<sub>3</sub>、ガスライン70、71、72よりH<sub>2</sub>で希釈済のPH<sub>3</sub>ガスを流し始め、SiH<sub>4</sub>、廃棄ライン14、15へ流した。ガスの流れが安定しているのを確認した上でa-Siの成膜に移った。H<sub>2</sub>、ガスライン20、21、22よりH<sub>2</sub>を、Arガスライン30、31、32よりArを定期的に成膜室に流しつづける石英管18内でマイクロ波プラズマを維持しながら電極2に13.56MHzの高周波を印加し、グロー放電を起こした。次にプラズマが発生している状態でバルブ16を切り換え、ガスライン13を通じてSiH<sub>4</sub>とPH<sub>3</sub>の混合ガスを成膜室内に流し込み、既に発生しているプラズマでSiH<sub>4</sub>とPH<sub>3</sub>及びH<sub>2</sub>を分解し成膜を行なった。この時図1の方式に従ってバルブ16を定期的に切り換え、上記混合ガスを断続的に成膜室へ送る様にした。これによりa-Siの堆積工程とSiH<sub>4</sub>、PH<sub>3</sub>なしの状態での水素プラズマ照射をする工程とを、プラズマを断続させる事なくくり返す事が出来た。実施例1と同様にa-Siの一工程の堆積により30Åのa-Siを堆積した。水素プラズマ照射の一工程は60secとした。SiH<sub>4</sub>を流した状態での成膜室内圧力は約0.1Torrであった。

【0038】こうして堆積した約5000Åのa-Siの電気伝導度は10<sup>-3</sup> s・cm程度であり、この値は通常のRFグロー放電により200℃のガラス基板上に連続して堆積したn型a-Si膜と同等であった。

実施例3

実施例1とほぼ同様の方法により、厚さ1mmの透明なポリカーボネート樹脂基板上に、基板温度120℃にて

a-Siの成膜を行なった。この際ガスの流し方を変え、ガスライン60、61、62よりSiH<sub>4</sub>を流すと同時にガスライン90、91、92よりArガスを流し、ArがSiH<sub>4</sub>とともに成膜室17へ流れる様にした。H<sub>2</sub>はSiH<sub>4</sub>が成膜室へ流れていない時だけガスライン20、21、22より成膜室へ流入させた。この様にして電極3と2の間で13.56MHzの高周波によりグロー放電を起こし、図1の様にa-Siの成膜を行なったところ、充分大きな光電流が得られる良質のa-Si膜が得られた。

【0039】

【発明の効果】以上説明した様に、本発明により150℃以下の低温において通常のa-Siの成膜法では達成出来ない良好な特性のa-Siを得る事が可能となり、これにより高温では使用不可能な様々な基体材料が使用可能となる。このため従来の基体を用いたa-Siでは不可能だった分野への応用が幅広く開ける。

【図面の簡単な説明】

【図1】本発明に係る成膜工程を示すタイムチャートである。

【図2】本発明方法により製造した堆積膜の堆積時の基体温度と光電流との関係を示すグラフである。

【図3】従来法により製造した堆積膜の堆積時の基体温度と光電流との関係を示すグラフである。

【図4】本発明に使用するCVD装置の一例を示す説明図である。

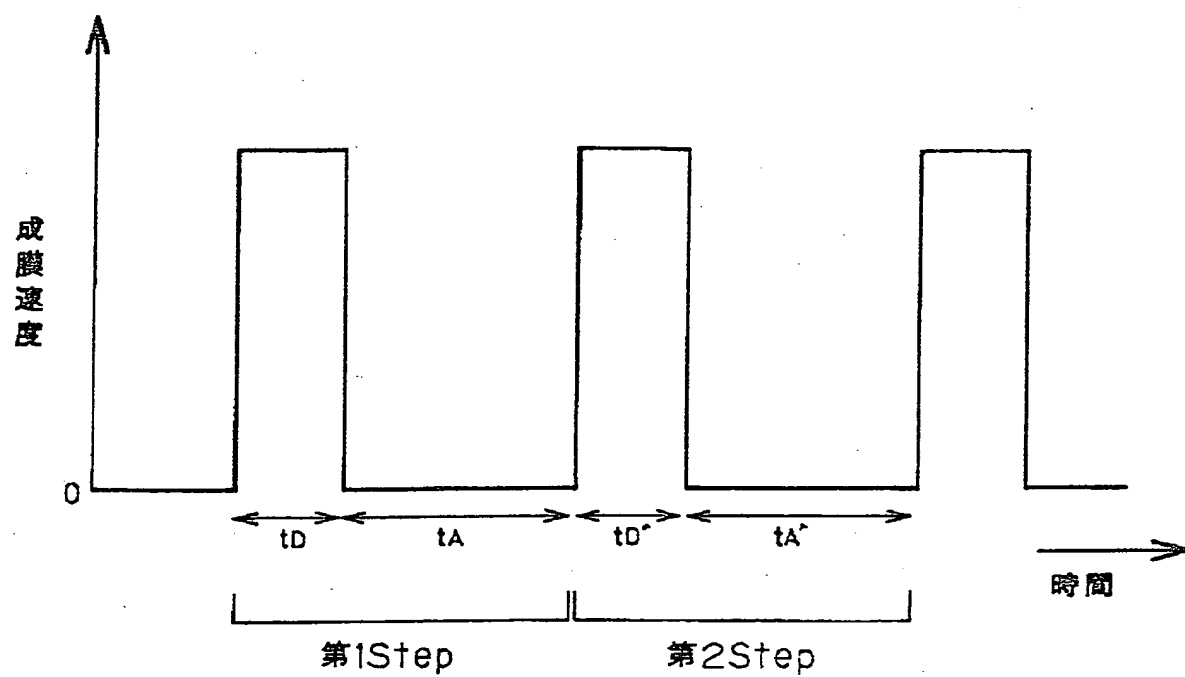
【図5】基板にバイアスを印加した場合の堆積膜厚lと堆積膜中の水素濃度との関係を示すグラフである。

【符号の説明】

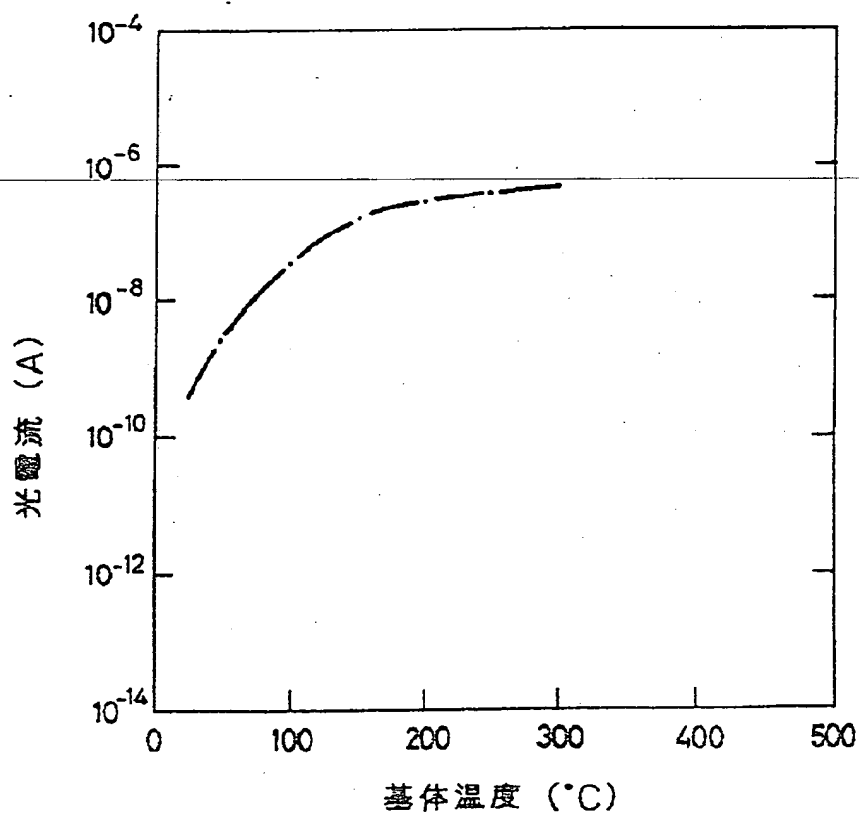
1 基板  
2、3 電極  
17 成膜室  
19 導波管



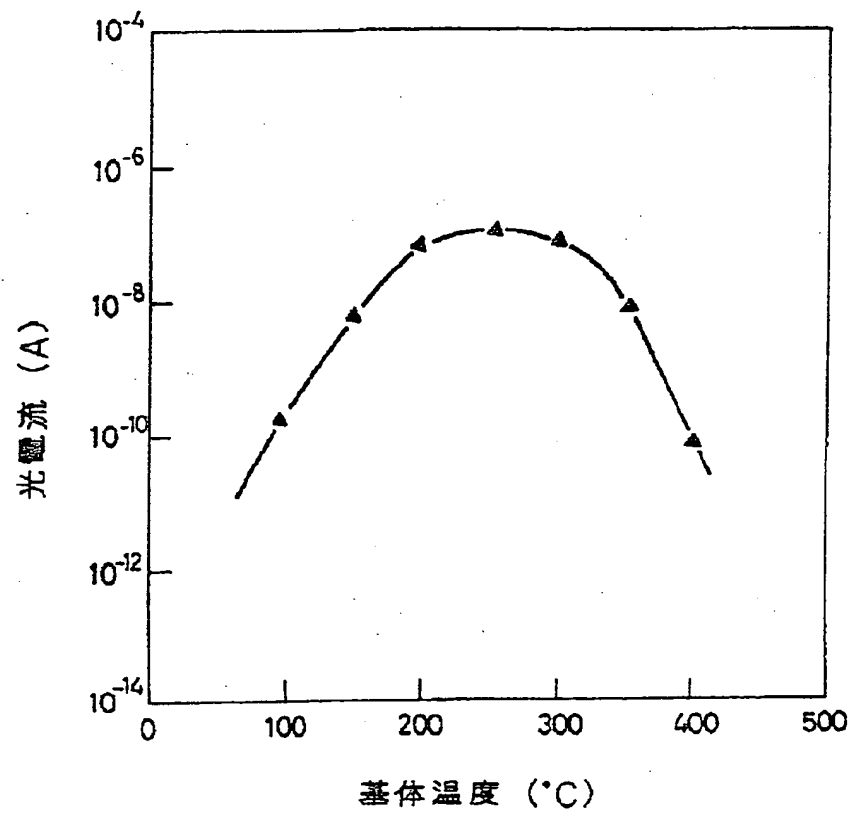
〔図 1〕



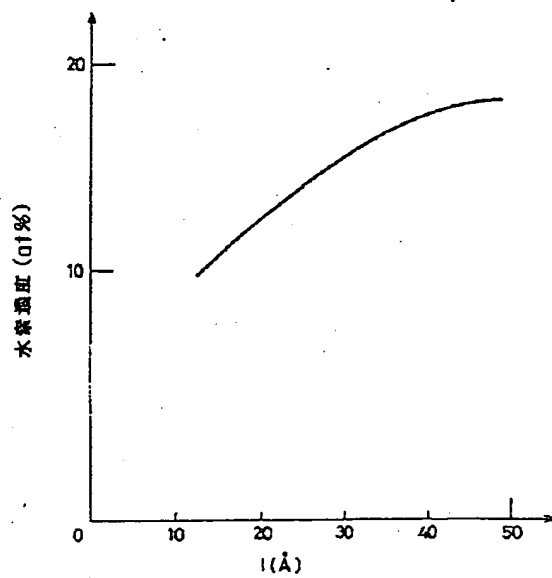
〔図 2〕



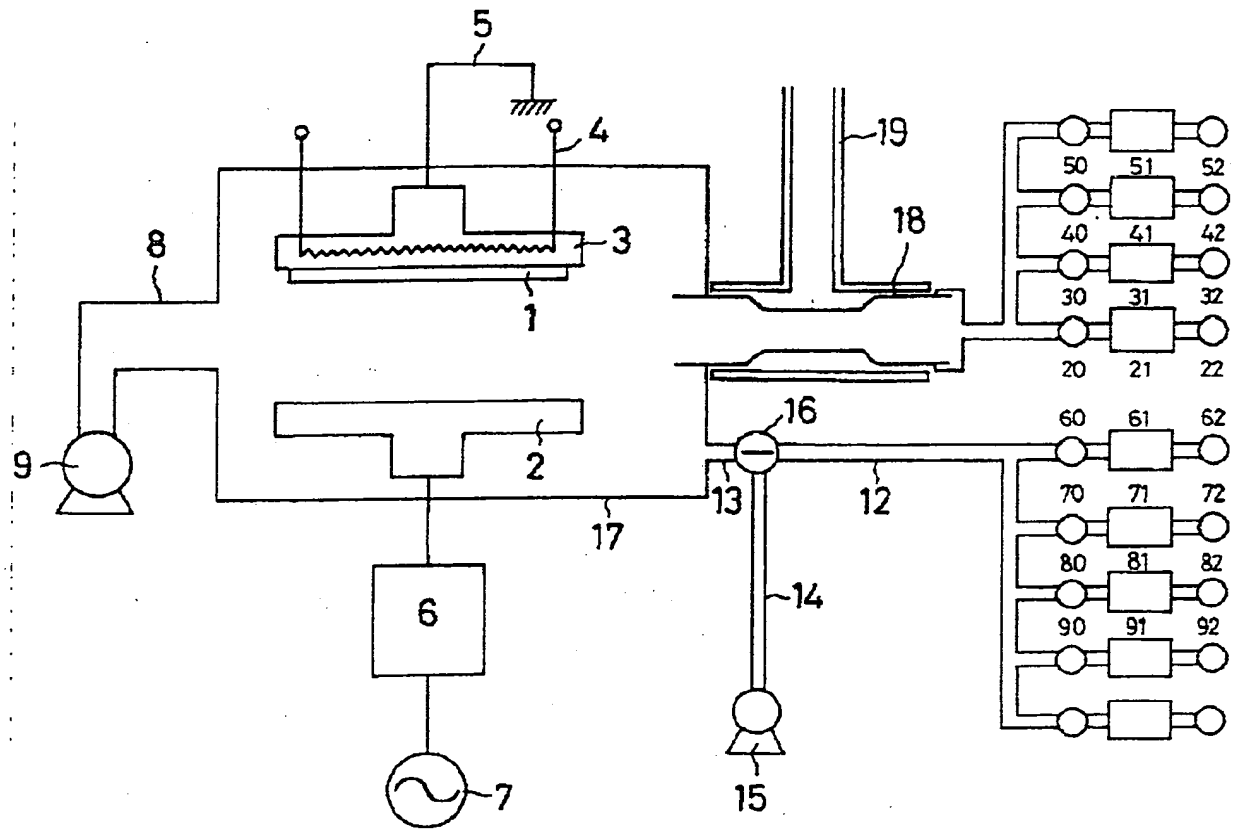
【図 3】



【図 5】



〔図 4〕



フロントページの続き

(51) Int. Cl. <sup>3</sup>

// H03H 1/46

識別記号

庁内整理番号

F I

技術表示箇所

9014-2G

7376-4M

H01L 31/04

V